

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-177565

(43)Date of publication of application : 21.07.1988

(51)Int.Cl.

H01L 29/78

H01L 27/08

(21)Application number : 62-010256

(71)Applicant : NEC CORP

(22)Date of filing : 19.01.1987

(72)Inventor : KOKUBU KUNIO

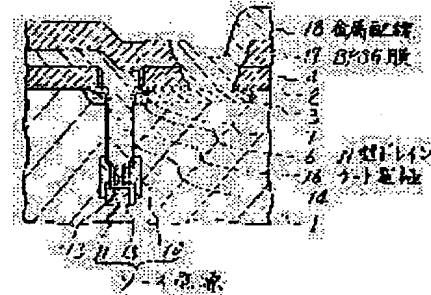
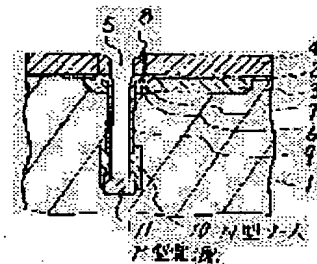
(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE OF SAME

(57)Abstract:

PURPOSE: To improve the integrity of an integrated circuit by a method wherein a drain impurity layer, a back gate, a source impurity layer and a source electric source impurity layer are provided in this order from the top on Si substrate side contacted with a trench formed in the Si substrate and a gate insulating film is provided won the surface of the backgate on the side surface of the trench and a source electric source metal film, an insulating film and a gate electrode metal film are provided in this order from the bottom in the trench to form a MOS transistor vertically.

CONSTITUTION: After a high concentration N-type impurity layer 6 is formed by doping with As, an SiO₂ film 7 is formed on an Si surface exposed in a trench 5 and a side wall 8 is formed and the SiO₂ film 7 on the bottom is removed by vertical etching of SiO₂. Then, after an SiO₂ film 9 is formed on the Si surface exposed in the trench 5, the SiO₂ film 9 on the bottom is removed by the vertical etching of SiO₂ and,

successively by vertical etching of Si, a trench with a depth of 0.8 . m is further formed. As is diffused into the lower part of the trench where Si is exposed to form a high concentration N-type layer 10 which is to be a source region and the Si is doped with B of a higher concentration by ion implantation and annealed to form a high concentration P-type layer 11 and an electric source is composed of the N-type layer 10 and the P-type layer 11. Then, a silicide reaction is carried out and an unreacted high melting point metal film is removed to form a source electrode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-177565

⑮ Int. Cl.⁴H 01 L 29/78
27/08

識別記号

3 2 1
3 2 1

庁内整理番号

V-8422-5F
G-7735-5F

⑬ 公開 昭和63年(1988)7月21日

審査請求 未請求 発明の数 3 (全6頁)

⑭ 発明の名称 半導体集積回路装置およびその製造方法

⑯ 特 願 昭62-10256

⑰ 出 願 昭62(1987)1月19日

⑱ 発 明 者 国 分 邦 夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体集積回路装置およびその製造方法

特 許 請 求 の 範 囲

(1) シリコン基板表面から垂直に内部に穿たれた溝に接したこのシリコン基板側に、この基板の表面から順次ドレイン用不純物層、前記シリコン基板内のゲート領域、ソース用不純物層が設けられ、前記溝の底面にはソース電源用不純物層が、前記溝の側面には前記ゲート領域の表面にゲート絶縁膜が、前記溝の内部にはその底面から順次ソース電源用電極、絶縁膜およびゲート電極用金属がそれぞれ設けられた縦型構造のMOSトランジスタを有することを特徴とする半導体集積回路装置。

(2) シリコン基板表面に第1の絶縁膜を形成し、この第1の絶縁膜の所定領域を垂直エッチにて除去した後に、その領域にドレイン用不純物を

ドーピングしてドレイン領域を形成し、このドレイン領域に縦溝を形成し、この縦溝の側面のシリコン基板をゲート領域とし、その縦溝の下部にソースおよびソース電源用不純物をドーピングしてソース領域を形成した後、これら各領域と前記縦溝の表面に高融点金属を成膜し、続いて熱処理によりシリサイド化反応を起させ、次に未反応の高融点金属膜を除去してセルフアラインなソース電極を形成することにより縦型MOSトランジスタを製造することを特徴とする半導体集積回路装置の製造方法。

(3) 第1導電型の縦型構造MOSトランジスタを製作した後、そのウェーハ表面を所定厚さで垂直エッチングに対するマスク剤で覆い、第2導電型の縦型構造MOSトランジスタを製作するための、数次の垂直エッチングに対して前記マスク剤の膜をマスクとして用いることを特徴とする半導体集積回路の製造方法。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は、MOS型半導体集積回路装置およびその製造方法に関する。

〔従来の技術〕

従来、集積回路装置の集積度を高めるための立体構造デバイス(3次元デバイス)としては、シリコン(Si)基板の上に絶縁膜を成膜し、その上にSi層を成膜するSOI技術がある。また、素子分離領域やキャパシタを小面積化するために、Si基板に溝を掘ってここに分離領域やキャパシタを形成する技術およびキャパシタとMOSトランジスタを一諸に形成する技術がある。

〔発明が解決しようとする問題点〕

上述した従来技術のうちSOI技術は、絶縁膜上に良質で均一なSi単結晶が未だ形成できず、この解決には時間がかかる。また、キャパシタ付き溝掘りトランジスタでは、ソース電源が埋め込まれていないという欠点があった。

本発明の目的は、このような欠点を除き、装置の高集積化と高速化を図り、製造工程を短縮した

半導体集積回路およびその製造方法を提供することにある。

〔問題点を解決するための手段〕

第1の発明の半導体集積回路装置の構成は、シリコン基板表面から垂直に内部に穿たれた溝に接したこのシリコン基板側に、この基板の表面から順次ドレイン用不純物層、バックゲート、ソース用不純物層が設けられ、前記溝の底面にはソース電源用不純物層が、前記溝の側面には前記バックゲートの表面にゲート絶縁膜が、前記溝の内部にはその下から順次ソース電源用電極、絶縁膜およびゲート電極用金属がそれぞれ設けられた縦型構造のMOSトランジスタを有することを特徴とする。

第2の発明の半導体集積回路装置の製造方法の構成は、シリコン基板表面に第1の絶縁膜を形成し、この第1の絶縁膜の所定領域を垂直エッチにて除去した後に、その領域にドレイン用不純物をドーピングしてドレイン領域を形成し、このドレイン領域に縦溝を形成し、この縦溝の側面のシリコン

基板をゲート領域とし、その縦溝の下部にソースおよびソース電源用不純物をドーピングしソース領域を形成した後、これら各領域と前記縦溝の表面に高融点金属を成膜し、続いて熱処理によりシリサイド化反応を起させ、次に未反応の高融点金属膜を除去してセルフアラインなソース電極を形成することにより縦型MOSトランジスタを製造することを特徴とする。

第3の発明の半導体集積回路装置の製造方法の構成は、第1導電型の縦型構造MOSトランジスタを製作した後、そのウェーハ表面を所定厚さで垂直エッチングに対するマスク剤で覆い、第2導電型の縦型構造MOSトランジスタを製作するための、数次の垂直エッチングに対して前記マスク剤の膜をマスクとして用いることを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)～(j)は本発明の一実施例を工程順に示した断面図、第2図は第1図(j)の平

面図である。

まず、第1図(a)に示す如く、比抵抗が数 Ωcm のP型Si基板1の表面に熱酸化した薄い SiO_2 膜2を形成し、この SiO_2 膜2の所望の領域にAsをイオン注入し、深さ3000Å程度の高濃度N型不純物層3を形成し、しかる後、 SiO_2 膜2の上に厚さ1 μm 程度のCVD SiO_2 膜4を形成する。このN型不純物層3は、将来、NチャンネルMOSトランジスタのドレイン引出し部となるものである。

次に、第1図(b)の如く、通常の写真リソグラフィ工程を用いて、フォトリソグراف工程を用いて、フォトリソグراف工程とする SiO_2 膜2の垂直エッチングにより、CVD SiO_2 膜4と熱 SiO_2 膜2を一辺が1.2 μm の正方形形状に除去する。次に、Asのドーピングにより深さ3000Åの高濃度N型不純物層6を形成する。不純物層6は、将来NチャンネルMOSトランジスタのドレインとなるものであるが、既に形成されている不純物層2とつながって連続した高濃度N型不純物層となる。

次に、第1図(c)に示す如く、熱酸化によって溝5の露出したSi表面に、厚さ2000ÅのSiO₂膜7を形成し、更にCVD SiO₂膜を3000Å堆積させた後、SiO₂垂直エッチにより、サイドウォール8を形成し、底面のSiO₂7の除去を行う。次に、第1図(d)の如く、Si基板1を深さ1.8μm垂直エッチする。

次に、第1図(e)に示す如く、熱酸化により溝5の露出したSi表面に、厚さ1000ÅのSiO₂膜9を形成した後、SiO₂垂直エッチにより、底面のSiO₂膜9を除去し、続いてSi垂直エッチにより、更に0.8μmの深さの溝を掘る。この溝の側面のSi基板1はゲート領域となるバックゲートに相当する。

次に、第1図(f)に示す如く、溝の下部のSiが露出した部分にAsを拡散してソース領域となる深さ3000Åの高濃度N型層10を形成し、更にイオン注入によりいっそう高濃度のBをドーピングしてアニールし、深さ5000Åの高濃度P型層11を形成し、これらN型層10、P型層11

ゲート絶縁膜、リンドープポリシリコン16はゲート電極とゲート引出線であり、1つ縦型構造のNチャンネルMOSトランジスタを構成している。ソース10は、WSi₂層13とP型不純物層11を通して、P型Si基板1と同電位に保持される。この第1図(j)の構造の平面図が第2図である。

以上の説明は、Nチャンネルトランジスタについて説明したが、全く同様のことがPチャンネルトランジスタにも適用できることは明らかである。

第3図(a)～(f)は本発明の第2の実施例を工程順に示した断面図、第4図は第3図(f)の平面図であり、CMOS集積回路に適用した例を示している。

まず、第3図(a)に於いて、P型Si基板21の表面に厚さ5000ÅのSiO₂膜12を、熱酸化により形成した後、幅1.2μmの分離帯用溝を深さ7μmで形成し、更に溝の内側に熱酸化により厚さ1000ÅのSiO₂膜23を形成した後、CVD

が電源を構成する。

次に、第1図(g)に示す如く、W層12を厚さ2000Å、CVDで形成した後、アニールして溝下部のSiと接触した部分をWSi₂層13に変える。さらに、第1図(h)に示す如く、未反応のW層12を除去した後、溝側面のSiO₂膜9を等方エッチで除去する。この等方エッチでサイドウォールSiO₂8も殆んど除去される。

次に、第1図(i)に示す如く、熱酸化により溝の側面に厚さ200ÅのSiO₂膜14を形成する。この時、WSi₂膜13の表面も酸化され、酸化膜15が形成される。次に、第1図(j)に示す如く、リンドープポリシリコン16を5000Å成膜し、図の左半分をレジストでマスクして、ポリシリコン垂直エッチを行い、更に、厚さ8000ÅのBPSG膜17を成膜し、ドレイン引出し部3の表面に、配線コンタクト用窓をあけて金属配線18を形成する。

第1図(j)に於いて、N型不純物層6はドレイン、同じく10はソースであり、SiO₂膜14は

D SiO₂膜24によって溝を埋める。次に、第3図(b)に示す如く、分離帯の右側に深さ6μmのN型ウェル25を形成する。

次に、第3図(c)の如く、深さ3000ÅのN型ドレイン引出部26と深さ5000ÅのP型ドレイン引出部27を形成した後、Si基板表面のSiO₂膜を全て除去して改めて熱酸化による1000ÅのSiO₂膜28と、1.2μmのCVD SiO₂膜29を形成する。

次に、第3図(d)に示す如く、Nチャンネルトランジスタ30を製作した後、厚さ8000ÅのCVD SiO₂膜31を成膜する。なお、トランジスタ30を製作する方法は、第1実施例の工程と同じでよい。但し、ポリシリコンゲート電極32は、引出部は形成しない。

次に、第3図(e)に示す如く、Pチャンネルトランジスタ33を製作する。これもNチャンネルトランジスタ30の製作方法と殆んど同じであり、ゲート長すなわち、ソース・ドレイン間距離調整のため溝掘り深さが異なる程度である。な

お、Pチャンネルトランジスタ底面の電源用N型領域は、リンのイオン注入で形成し、x」を深くとるようにした。また、ポリシリコンはゲート電極34となる。

次に、第3図(f)に示す如く、CVD SiO_2 膜37を除去し、リンドープポリシリコン膜35を成膜し、フォトリソグラフィ工程を経てポリシリコン垂直エッチにより両チャンネルのゲート電極32、34を連結する配線を形成する。次に、厚さ8000ÅのBPSG膜36を成膜する。この第3図(f)を平面図に示したのが第4図である。

以上の説明はNチャンネルトランジスタを先に造る例を説明したが、Pチャンネルトランジスタを先に造っても全く同様である。

〔発明の効果〕

以上説明したように本発明は、Si基板に穿たれた溝に接したSi基板側に、上から順次ドレイン用不純物層、バックゲート、ソース用不純物層およびソース電源用不純物層を設け、溝の側面には

厚さが減少するものの、ゲート金属形成完了時に適度の厚さを残すことができるので、これをフィールド絶縁膜として使用することができる。この絶縁膜が薄い場合には、ゲート電極形成後、絶縁膜を追加成長して改めてフォトリソグラフィ工程により、ゲート金属引出し用の窓あけと、引出し用金属膜の成膜工程を要するから、充分な厚さの上記絶縁膜を溝掘エッチ前に成膜しておくことはこの点からも製造工程短縮の効果が大きい。

さらに、本発明の製造方法に於いて、表面絶縁膜溝掘り後に、ドレイン用不純物をドーブすることにより、ドレインを溝に接してセルフアラインで形成出来るので、ドレイン面積の縮小から集積回路の集積度向上と、動作速度向上の効果がある。また溝の下部外側にソースおよびソース電源用不純物をドーブした後、高融点金属を成膜し、続いてシリサイド化反応をさせた後、未反応の高融点金属を除去することにより、ソース電源用電極をセルフアラインで所望の位置に形成できると共に、その後のゲート電極形成を容易にすること

バックゲートの表面にゲート絶縁膜を設け、溝の内部には、下から順次ソース電源用金属、絶縁膜およびゲート電極用金属を設けて、MOSトランジスタを縦に形成できるので、集積回路チップ上の占有表面積が小さくなり、集積回路の集積度を上げる効果がある。また、溝の周囲長がトランジスタのゲート幅を決定するので、小さい面積で大きなゲート幅となり、集積回路の高運動作化に効果がある。

また、本発明はSi垂直エッチに対してマスク性を有する充分な厚さの絶縁膜で、溝掘り開始前のSi基板表面を覆うことにより、この絶縁膜を垂直エッチする時にのみ事前の位置合わせ工程と、フォトレジスト等のマスク剤を要するが、以後の数回に及ぶ垂直エッチの時には、絶縁膜自体がマスク剤となるので、位置合わせ工程なしにMOSトランジスタが形成される。このため製造工程が短縮化され、位置合わせ誤差を考慮しないでパターン設計出来ることから、集積回路の集積度を上げる効果がある。また、絶縁膜は数回の垂直エッチで

ができる。

さらに、本発明はCMOS集積回路の製造方法に於いて、第1の導電型のMOSトランジスタ製作の後、ウェーハ表面を垂直エッチに対する充分厚いマスク剤で覆うことにより、第2の導電型のトランジスタを最初の位置決めのための位置合わせだけで、後は位置合わせなしで製作することができ、製造工程短縮の効果がある。

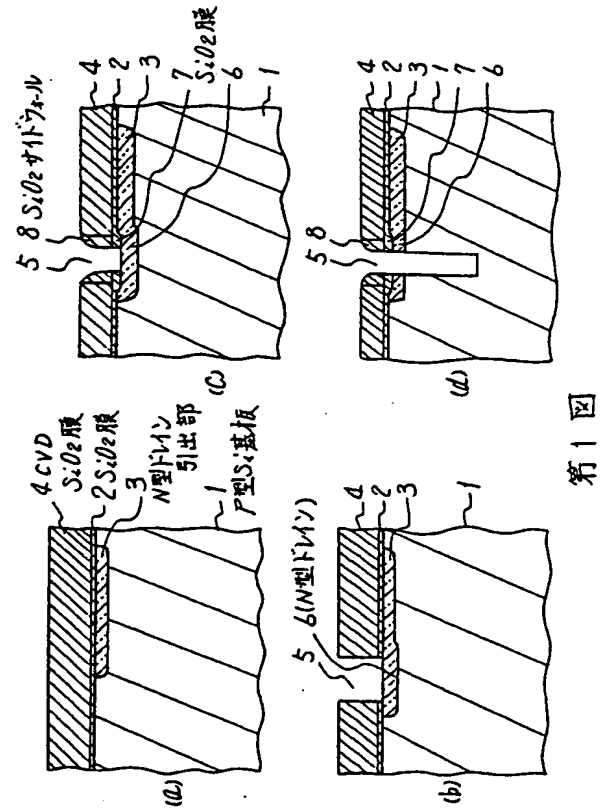
図面の簡単な説明

第1図(a)～(j)は本発明の第1実施例を製作工程順に示した断面図、第2図は第1図の実施例の平面図、第3図(a)～(f)は本発明の第2の実施例を製造工程順に示した断面図、第4図は第3図の平面図である。

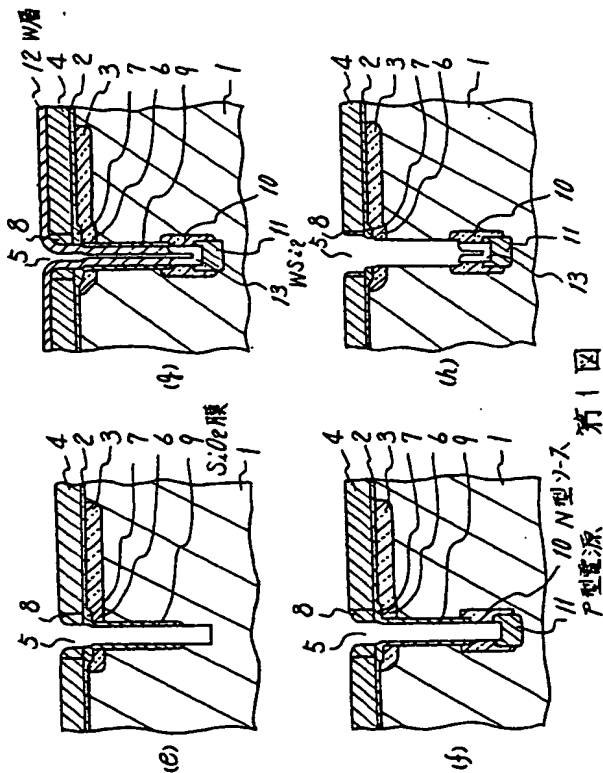
1, 21…Si基板、2, 7, 9, 22, 23, 28… SiO_2 膜、3, 26, 27…ドレイン引出部、4, 24, 29, 31…CVD SiO_2 膜、5…溝、6…ドレイン、8… SiO_2 サイドウォール、10…ソース(高濃度N型層)、11…ソース電

源用不純物層（高濃度P型層）、12…高融点金属（W）層、13…ソース電極用シリサイド（ WSi_2 層）、14…ゲート SiO_2 膜、15…シリサイドの酸化膜、16, 32, 34…ゲート電極、17, 36…BPSG膜、18…金属配線、25…N型ウェル、30…NチャンネルMOSTランジスタ、33…PチャンネルMOSTランジスタ、35…ゲート電極引出部。

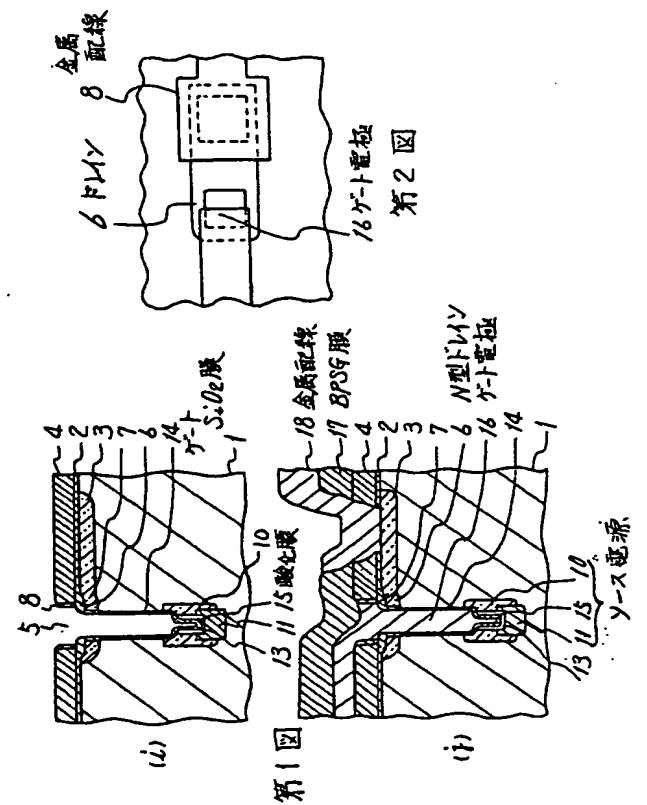
代理人 井理士 内 原 晋



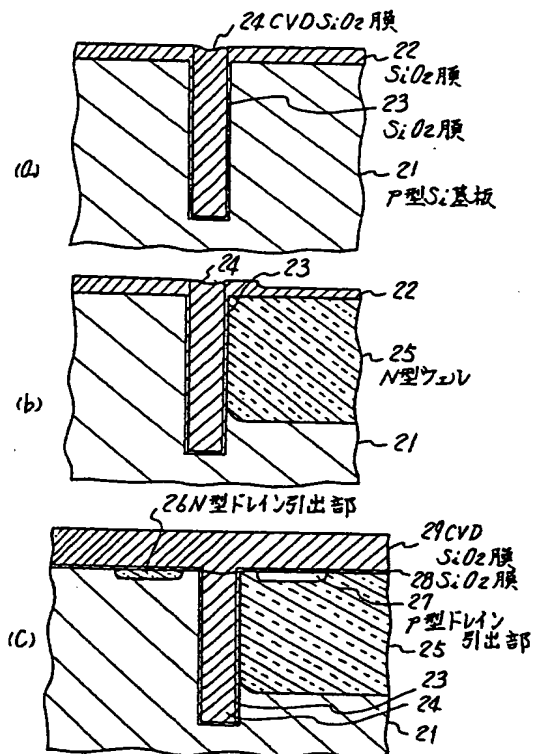
第1図



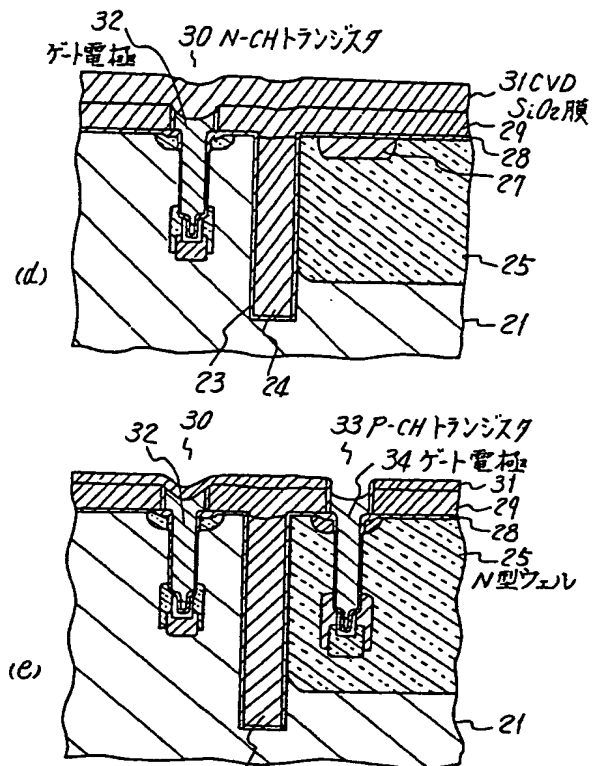
第2図



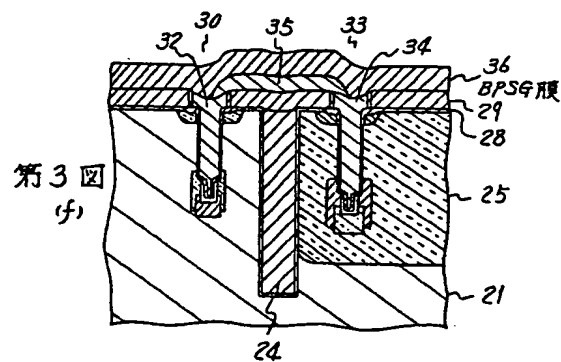
第3図



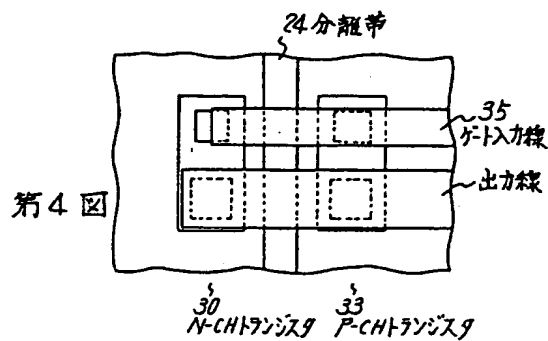
第3図



第3図



第3図
(f)



第4図